

**Japanese Utility Model Laid-open Publication No. H02-26269**

**TITLE OF THE INVENTION**

**A MULTI-CHIP BOARD WITH MIXED INTEGRATED CIRCUITS**

**WHAT IS CLAIMED IS:**

1. A board for preparing a plurality of parts each having mixed integrated circuits, wherein the board is divided by grooves into the plurality of parts, electronic components being mounted to each of the parts, and local packaging is performed for areas where the electronic components are mounted, characterized in that the grooves are provided at a side opposite to the other side where the local packaging is performed.

**4. BRIEF EXPLANATION OF THE DRAWINGS**

Figs. 1 to 3 are views for explaining steps of fabricating a board of an embodiment of present invention;

Figs. 4 (a) and 4 (b) are section views of a part of resin package of the board of the embodiment of present invention;

Fig. 5 is a view of a prior art board;

Fig. 6 is a section view of a part of the package of the board shown in Fig. 5;

Fig. 7 is a section view of a part of an other prior art package.

**EXPLANATION OF REFERENCE NUMERALS AND IN THE DRAWINGS**

1: groove for division

2: coupled substrate

3: circuit board

4: electronic component

5: bare chip

6: wiring land

7: wire

8: package

9: mould ring

# 公開実用平成 2-26269

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-26269

⑬ Int. Cl.<sup>5</sup>

H 05 K 1/02  
3/28

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月21日

G 8727-5E  
G 6736-5E

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 多数個取り用混成集積回路基板

⑮ 実 願 昭63-104442

⑯ 出 願 昭63(1988)8月6日

⑰ 考 案 者	大 木 昇	東京都台東区上野 6 丁目16番20号	太陽誘電株式会社内
⑱ 考 案 者	森 尻 友 彦	東京都台東区上野 6 丁目16番20号	太陽誘電株式会社内
⑲ 出 願 人	太陽誘電株式会社	東京都台東区上野 6 丁目16番20号	
⑳ 代 理 人	弁理士 北 條 和 由		

## 明 細 書

### 1. 考案の名称

多数個取り用混成集積回路基板

### 2. 実用新案登録請求の範囲

分割溝によって複数の区画され、その区画された各領域に電子部品が搭載され、前記電子部品の搭載部に局部的なパッケージングが施された多数個取り用混成集積回路基板において、前記分割溝は前記局部的なパッケージングが施された面と反対側の面に設けられていることを特徴とする多数個取り用混成集積回路基板。

### 3. 考案の詳細な説明

#### 〔産業上の利用分野〕

本考案は、分割溝によって複数の区画された各区画領域に電子部品が搭載され、更に局部パッケージングが施された多数個取り用混成集積回路基板に関するものである。

#### 〔従来の技術〕

従来のこの種の多数個取り用混成集積回路基板の製造は、およそ次のように行われていた。

第5図及び第6図により第1の従来例を説明する。図において、分割溝1によって複数に区画されている基板2（以下集合基板と称す）上のそれぞれの区画の回路基板3に、ペーストを塗布、焼成することにより、電極、抵抗等を形成し、更に電子部品4等を搭載して導電固着する。

次に集合基板2上の区画されたそれぞれの回路基板3の各々の位置に、局部パッケージングが施される電子部品、例えば能動素子チップ（以下ベアチップと称す）5をマウントする。その各々のベアチップ5の電極と、回路基板3上にありベアチップ5の周囲に設けられた電極（以下ワイヤランドと称す）6を、AuあるいはAlのワイヤ7でボンディングする。更に、そのワイヤ7を物理的に保護し、ベアチップ5の耐湿性を高めるために、ディスペンサ等を用いて樹脂を塗布し、パッケージ8を形成する。最後に、集合基板2を分割溝1に従って分割して、それぞれ独立した回路基板3とする。

しかし、近年、この種の技術の進歩は著しい

ものがあり、斯界においては、ますます小形化、高密度化のニーズが高まっている。小形化の場合、前記従来の多数個取り集合混成集積回路基板の製造方法によれば、パッケージ8を施す工程で樹脂が分割区画を食み出して分割溝1に流れ込み、分割溝1によって各々の回路基板3を分割するのが難しくなると言った問題点があった。このため、第7図に示すように、ペアチップ5のパッケージングに成型リング9を用いることが、最近第1の従来例に継ぐ一般的な方法として行われるようになっていく。すなわち、集合基板2上の区画されたそれぞれの回路基板3に、各々のペアチップ5を搭載した部分を囲むように、プレス成型等により形成された成型リング9を搭載し、該成型リング9により囲まれた内側に樹脂をポッティングし、パッケージ8とするものである。このようにすると、パッケージ8の形状規制が可能となり、又、樹脂が分割面を超えて分割溝1に流れ込むことは無くなる。

〔考案が解決しようとする課題〕

上記第1の従来例では、小形化に対処出来ず、第2の従来例では、成型リングを用いることにより、分割溝に樹脂が流れ込まないようにしているが、成型リングを別に製作しなければならず、しかも、成型リングを搭載する別工程が増加し、低価格化の障害となると言った問題点があった。又、成型リングを配置する場所が余分に必要となるため、この構造も小形化、高密度化に限界がある。

そこで本考案の目的は、このような従来の問題点に照らして、それらを解決できる多数個取り用混成集積回路基板を提供することにある。

〔課題を解決するための手段〕

すなわち、前記本考案の目的は、分割溝によって複数に区画され、その区画された各領域に電子部品が搭載され、前記電子部品の搭載部に局部的なパッケージングが施された多数個取り用混成集積回路基板において、前記分割溝は前記局部的なパッケージングが施された面と反対

側の面に設けられていることを特徴とする多数個取り用混成集積回路基板によって達成される。

#### 〔作 用〕

上記のように構成された多数個取り用集積回路基板によれば、集合基板の分割溝を、局部パッケージングされる面と反対の面に設けたので、分割溝に従って開くように折ることにより、パッケージングした樹脂が継がっている場合でも、回路基板分割力によって樹脂も容易に分割される。

#### 〔実 施 例〕

以下、本考案の実施例について、添付の図面を参照して説明する。

第1図において、破線で示したのは分割溝1である。分割溝1によって複数の区画されている集合基板2のそれぞれ区画された回路基板3上に、電極、抵抗等用のペーストを塗布、焼成する。これに電子部品3類を搭載し導電固着する。次に、集合基板2上のそれぞれの回路基板3の各々の位置に、局部的なパッケージングが

施される電子部品、例えばベアチップ5をマウントする。次に第4図(a)及び(b)に示すように、前記各々のベアチップ5上の電極と、回路基板3上にありベアチップ5の周囲に設けられたワイヤランド6を、AuあるいはAlのワイヤ7でボンディングする。

次に、第2図は、ここまで述べてきた第1図の集合基板2のそれぞれの区画のベアチップ5及びそのワイヤ7を、物理的に保護し、ベアチップ5の耐湿性を高めるために樹脂をポッティングし、パッケージ8を形成したものである。

第3図に示したのは、前記第2図の集合基板2を、分割溝1に従って分割した回路基板3である。分割溝1は第4図(a)に示すように、集合基板2のベアチップ5を搭載した面の反対側の面に設けられているので、パッケージングの樹脂が分割溝1に流れ込み溝を塞ぐことはない。従って、溝は分割溝本来の役割を果たすと同時に、パッケージングの樹脂が部分1.0.のように連続しても、各々の回路基板3を分割する



時の基板分割力によって、第4図(b)に示すように容易に分割できる。第4図(b)における部分10は、パッケージ樹脂のブレイク跡を示すものである。

以上述べたように、本考案によれば、成型リングを用いないため、第1の従来例の製造工程と同じ工程で製造でき、更にパッケージングの形状制限が無くなるので、樹脂のポッティング時間が短縮される。その上、各回路基板の分割が容易になる。

ここで、本件考案者等が、本考案の多数個取り用混成集積回路基板と、第1の従来例の多数個取り用混成集積回路基板を比較した例について述べる。何れも本件考案者等が製作したもので、アルミナ製のおよそ $75\text{ mm} \times 75\text{ mm} \times 0.7\text{ mm}$ の同じ集合基板を用いて比較した。従来例は、過去のデーターから、分割溝とワイヤランドの間隔を $0.7\text{ mm}$ 以上空けなければ、パッケージングの樹脂が分割溝に入り、分割が困難になることが分っていたので、前記間隔を $0.7\text{ mm}$

としたため、その制約上、同集合基板1枚に65mm×5mmの回路基板が13枚分割できるように分割溝を設けていた。本考案の実施例では、前記集合基板1枚に、65mm×4mmの回路基板を17枚取れるように分割溝を設け、分割溝とワイヤランドの間隔を0.2mmにして、従来のものと同じ電子部品を同じように搭載し、分割に支障がなかった。外形寸法の幅を各1mm縮小できたのは、分割溝とワイヤランドの間隔を縮めることが可能となったためである。パッケージングには日立化成社製のHIT-8400樹脂を使用し、パッケージング時間を比較したところ、第1の従来例に比し、本考案の実施例では20%短縮されていた。パッケージングの形成制限が無くなったためである。

## 〔考案の効果〕

前記説明から分るように、本考案は成型リングを用いずに、パッケージングの樹脂が分割区画を越えて分割溝に流れ込まないようにすることが出来、分割溝に従って各区面の回路基板を

容易に分割出来るので、外形寸法の縮小、樹脂パッケージング時間の短縮等の効果を有する。

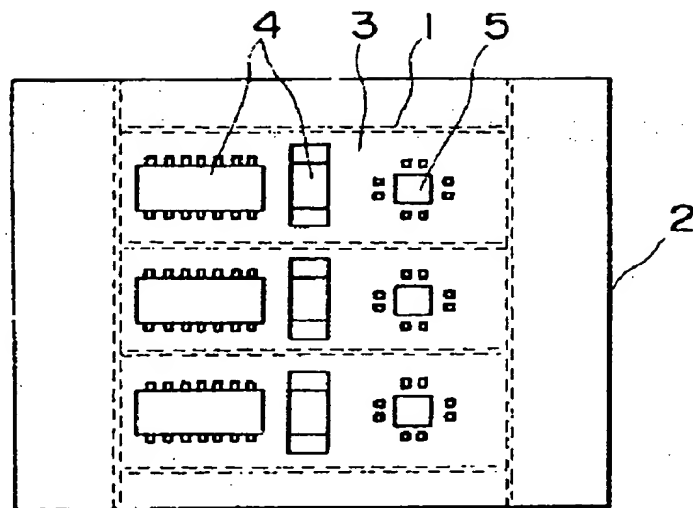
#### 4. 図面の簡単な説明

第1図～第3図は本考案の実施例及びその製造工程の説明図、第4図(a)及び(b)は本考案の実施例の樹脂パッケージング部分を示す断面図、第5図及び第6図は従来例を示す製造工程説明図及びその従来例のパッケージング部分の断面図、第7図は他の従来例のパッケージング部分の断面図ある。

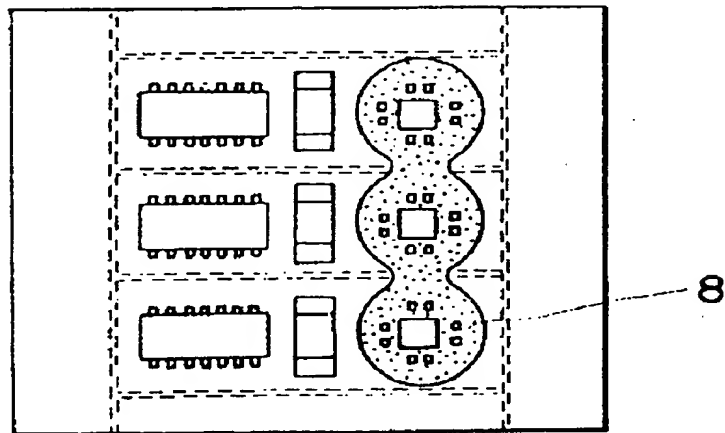
1…分割溝    2…集合基板    3…回路基板  
4…電子部品    5…ベアチップ    6…ワイヤラ  
ンド    7…ワイヤ    8…パッケージ    9…成型  
リング

実用新案登録出願人    太陽誘電株式会社  
代                      理                      人    弁理士 北條 和由

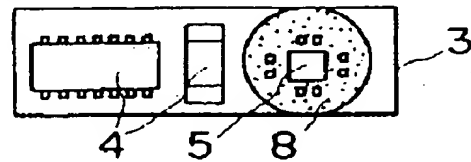
第 1 図



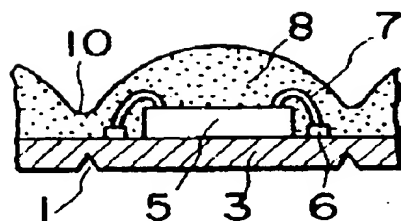
第 2 図



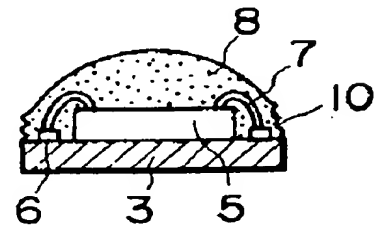
第 3 図



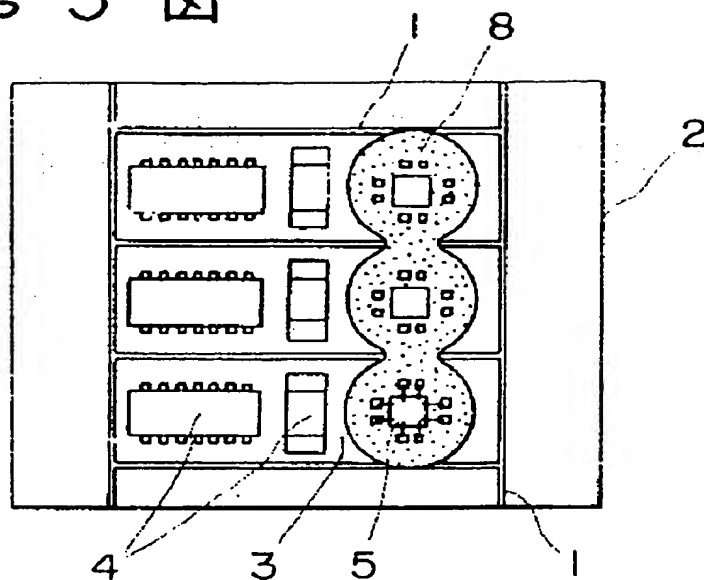
(a) 第 4 図



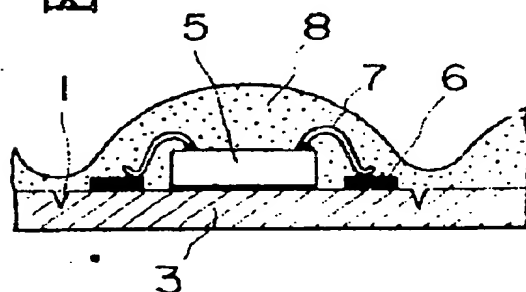
(b)



第 5 図



第 6 図



第 7 図

